

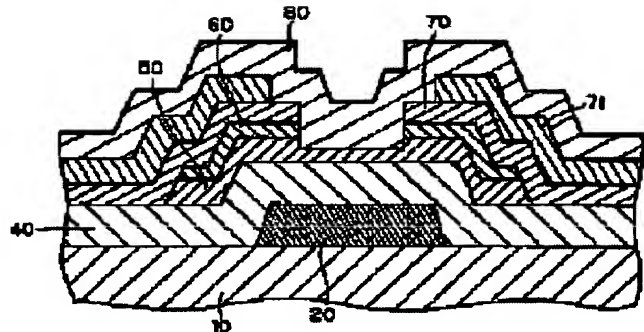
THIN FILM TRANSISTOR

Patent number: JP2000101091
Publication date: 2000-04-07
Inventor: OCHI HISAO; KOBAYASHI KAZUKI; BAN ATSUSHI;
SAKONO IKUO
Applicant: SHARP CORP.
Classification:
- **international:** H01L29/786; H01L21/336; G02F1/136
- **europaean:**
Application number: JP19980273042 19980928
Priority number(s):

Abstract of JP2000101091

PROBLEM TO BE SOLVED: To provide an AM-LCD TFT of such a structure as causing no fluctuation in the electrical characteristics by avoiding decrease in on-current due to a load being applied to the TFT part because of the hanging shape of a protective film covering the source-drain electrode.

SOLUTION: After two layer pattern of a source-drain electrode having two-layer structure of Ta, Cr, Ti layer 71 and an ITO film 70 is shifted by two stage etching process, an n+ contact layer 60 on a semiconductor channel layer 50 is removed by etching using the ITO film 70 as a mask thus forming a back channel etching type TFT (a gate insulation film 40 is interposed between the channel layer and a gate electrode layer 20). A protective film 80 is formed on the part subjected to etching and a low taper multilayer film is formed thereat including pattern shift of the two-layer source-drain electrode. Consequently, coverage of protective film is enhanced, stress being applied to the TFT part is lessened and ON-current is prevented from decreasing.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-101091

(P2000-101091A)

(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl. ⁷	識別記号	P I	サーチコード(参考)	
H 0 1 L 29/786		H 0 1 L 29/78	6 2 7 A	2 H 0 9 2
21/338		G 0 2 F 1/138	5 0 0	5 F 1 1 0
G 0 2 P 1/138	5 0 0	H 0 1 L 29/78	6 2 7 C	

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号 特願平10-273042

(22)出願日 平成10年9月28日(1998.9.28)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 越智 久雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 小林 和樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100079843

弁護士 高野 明近

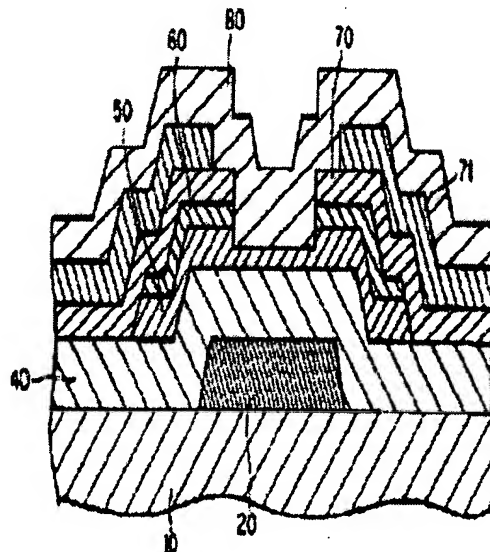
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【課題】 AM-LCDのTFTに超えるソース/ドレイン電極を覆う保護膜が形成するハンク形状に起因してTFT部に加わる負荷によるオン電流の低下を回避し、TFTの電気特性にばらつきの生じない構造のTFTを提供する。

【解決手段】 Ta, Cr, Ti層71とITO膜70の2層構造をなすソース/ドレイン電極を2段階のエッチング工程で2層のパターンをずらした後、ITO膜70をマスクとして半導体チャネル層50上のn+コンタクト層60をエッチング除去することによりバックチャネルエッチング型TFTを形成する(チャネル層とゲート電極層20間にゲート絶縁膜40が介在)。エッチング除去部分の上に保護膜80を形成するが、2層のソース/ドレイン電極のパターンずらしを含めエッチング除去部分の積層膜を低ターパにすることにより、保護膜のカバレージを向上させTFT部への応力が緩和されオン電流の低下を防ぐ。



【特許請求の範囲】

【請求項 1】 ゲート、ソースおよびドレインの各電極と、チャネル領域を設けた半導体薄膜と、該半導体薄膜に接するとともにチャネル領域の対する側でゲート電極に接するゲート絶縁膜と、前記半導体薄膜に接するとともに対する側で前記ソースおよびドレイン電極に接し電極コンタクト層をなす n^+ に不純物ドーピングされた半導体薄膜とを備えた薄膜トランジスタであって、前記チャネル領域を形成する半導体薄膜の一部とその部分に対応する前記電極コンタクト層をなす n^+ に不純物ドーピングされた半導体薄膜とをソースおよびドレイン電極に接し電極コンタクト層をなす n^+ 半導体薄膜側からエッチング除去しバックチャネルエッチング型として形成した薄膜トランジスタにおいて、前記エッチング除去された層のパターンの大きさをチャネル領域を形成する半導体薄膜からソースおよびドレイン電極に向け順次大きくし、エッチング除去した部分を含めパッシベーション膜を上層膜として形成することにより、パッシベーション膜のカバレッジを向上させ特性の劣化を防止したことを特徴とする薄膜トランジスタ。

【請求項 2】 請求項 1記載の薄膜トランジスタにおいて、前記エッチング除去を多段階のエッチング工程を用いることにより、除去された層のパターンをの大きさをチャネル領域を形成する半導体薄膜からソースおよびドレイン電極に向け該工程に応じた段階数で順次大きくしたことを特徴とする薄膜トランジスタ。

【請求項 3】 請求項 2記載の薄膜トランジスタにおいて、ソースおよび/またはドレイン電極を下層の透明導電膜と上層のメタル膜の二層構造とした場合、前記エッチング除去の工程として、エッチング除去するパターンをの大きさを逐次エッチングすることにより下層の透明導電膜と上層のメタル膜のパターンをずらした後、得られる下層の透明導電膜パターンをマスクとして用いることによりチャネル部へのエッチングを行うことを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ(TFT; Thin Film Transistor)に関し、特にアクティブマトリクス型液晶表示装置(AM-LCD)、密着型イメージセンサなどのアクティブ素子に利用される薄膜トランジスタに関するものである。

【0002】

【従来の技術】 従来より薄膜トランジスタは、アクティブマトリクス型液晶表示装置に最も多く用いられており、逆スタガ型と呼ばれるTFTにその基本構造が現れている。ここでは、逆スタガ型においても、最近主流になってきているバックチャネルエッチング型TFTを例にとり、その構造を図2及び図3を参照し説明する。図2は、TFTを素子として含むAM-LCDのマトリクス

素子の要素部分を拡大して示す平面図で、図3は、TFT素子の断面図を示す。図2と図3において、同一の構成要素には同一の符号を付している。

【0003】 図2において、81はAM-LCDにおけるマトリクス要素をなす絵素であり、各絵素81は、TFT11により絵素電極を制御することにより動作され表示機能を果たす。TFT11について図3を参照し、より詳細に説明すると、TFTは一般的に、絶縁性基板10上にゲート電極20を形成する。絶縁性基板10に用いる材料としてはガラス(なお、ガラス基板表面にはベースコート膜として Te_2O_5 、 SiO_2 などの絶縁膜を形成している場合もある)を用いるか、または Si 基板の表面に SiO_2 などの絶縁膜を形成したものを用いる場合もある。絶縁性基板10上に Al 、 Mo 、 Te などの導電材料をスパッタリング法にて積層し、次いで、この積層された Al 、 Mo 、 Te などをパターンニングしてゲート電極並びに配線20を得る。

【0004】 次に、主にプラズマCVD法によりゲート電極上にゲート絶縁膜40($SiNx$ 、 SiO_2)を積層する。ここでは、絶縁性を高めるためゲート電極を陽極酸化し、第1のゲート絶縁膜(図示せず)とし、CVD絶縁膜を第2の絶縁膜とする場合もある。

【0005】 続いて、半導体層($i-a-Si$; TFTのチャネル層)50、同じくプラズマCVD法により形成された n^+ 型に不純物ドーピングされたアモルファス Si 膜または微結晶 Si 膜によるTFTのソース並びにドレインのコンタクト層60となる膜が形成され、半導体層50とコンタクト層60の間 Si 層が島状にパターンニングされる。

【0006】 この後、ソース並びにドレイン電極並びに配線用の Te 、 Cr 、 Ti 、 ITO 膜等の積層膜が成層され、ソース並びにドレイン電極並びに配線70、71を形成するためにパターンニングされる。この際、ソース並びにドレイン電極並びに配線70、71においてパターンニングにより露出する断面のテーパ形状は、ほぼ垂直となっている。

【0007】 ソース並びにドレインの電極並びに配線70、71形成後、チャネル層50上の n^+ 型に不純物ドーピングされたアモルファス Si 膜あるいは微結晶 Si 膜60はエッチング除去され、残った部分にソース並びにドレインのコンタクト領域が形成されることになる。このとき、 n^+ 型に不純物ドーピングされたアモルファス Si 膜あるいは微結晶 Si 膜60のみをチャネル層となる不純物ドーピングをしないアモルファス Si 層50に対して完全に選択的にエッチング除去することは困難であるため、その一部がエッチング除去される(図3に示すように、TFTのチャネルを形成する界面と反対側の部分が除去されている)が、どうしても動作上問題がないように、チャネル層となるアモルファス Si 層50の膜厚は厚く形成しておく。

【0008】この後、プラズマCVD法により形成されるSiN膜からなるTFT保護膜（パッシベーション膜）80が形成される。この場合、ソース並びにドレイン電極並びに配線70、71の断面は、上記したようにパターンニング後に露出する面の形状がテーパとならず、ほぼ垂直であるため、その上をTFT保護膜80で覆い形成される形状もテーパとならず、図3に示すようにハング状態となる。

【0009】

【発明が解決しようとする課題】TFT保護膜（パッシベーション膜）の形状が急峻になるか、もしくは、ハング状態となる場合、TFT部に負荷が加わり、オン電流が低下するといったことから、表示装置を構成するTFTの電気特性が各検査ごとにばらつき、その結果として、そのばらつきによりオン電流が小さい検査においてパネル点灯時、点欠陥が発生し、表示画像の品質を低下させる原因となった。

【0010】本発明は、AM-LCDを典型としてそこに用いられているTFTに起きる上記した従来技術の問題点に鑑みてなされたもので、ソース並びにドレイン電極並びに配線を覆うTFT保護膜（パッシベーション膜）が形成するハング形状に起因してTFT部に負荷が加わり、オン電流が低下するといったことを回避し、TFTの電気特性にばらつきが生じることのない構造を有するようにした薄膜トランジスタを提供することをその目的とする。

【0011】

【課題を解決するための手段】この目的を達成するため、ソースおよびドレイン電極並びに配線となるTa、Cr、Ti、ITO膜等のソース二層構造において、その二層のパターンをずらすことにより、パッシベーション膜のカバレージを向上させる。もしくは、ソース並びにドレイン電極並びに配線となるTa、Cr、Ti、ITO膜等の積層膜を低テーパにすることにより、パッシベーション膜のカバレージを向上させるという手段を採用する。上記した構成をとることにより、TFT部への応力緩和が期待でき、TFTのオン電流の低下を防止することができる。

【0012】そして、本願の各発明は、次の技術手段を構成する。請求項1の発明は、ゲート、ソースおよびドレインの各電極と、チャネル領域を設けた半導体薄膜と、該半導体薄膜に接するとともにチャネル領域の対する側でゲート電極に接するゲート絶縁膜と、前記半導体薄膜に接するとともに対する側で前記ソースおよびドレイン電極に接し電極コンタクト層をなすn+に不純物ドーピングされた半導体薄膜とを備えた薄膜トランジスタであって、前記チャネル領域を形成する半導体薄膜の一部とその部分に対応する前記電極コンタクト層をなすn+に不純物ドーピングされた半導体薄膜とをソースおよびドレイン電極に接し電極コンタクト層をなすn+半導

体薄膜側からエッチング除去しバックチャネルエッチング型として形成した薄膜トランジスタにおいて、前記エッチング除去された層のパターンの大きさをチャネル領域を形成する半導体薄膜からソースおよびドレイン電極に向け順次大きくし、エッチング除去した部分を含めパッシベーション膜を上層膜として形成することにより、パッシベーション膜のカバレージを向上させ特性の劣化を防止したことを特徴とし、こうすることにより、パッシベーション膜のカバレージを向上させ、特性の劣化を防止するものである。

【0013】請求項2の発明は、請求項1記載の薄膜トランジスタにおいて、前記エッチング除去を多段階のエッチング工程を用いることにより、除去された層のパターンの大きさをチャネル領域を形成する半導体薄膜からソースおよびドレイン電極に向け該工程に応じた段階で順次大きくしたことを特徴とするものである。

【0014】請求項3の発明は、請求項2記載の薄膜トランジスタにおいて、ソースおよび/またはドレイン電極を下層の透明導電膜と上層のメタル膜の二層構造とした場合、前記エッチング除去の工程として、エッチング除去するパターンの大きさを逐次エッチングすることにより下層の透明導電膜と上層のメタル膜のパターンをずらした後、得られる下層の透明導電膜パターンをマスクとして用いることによりチャネル部へのエッチングを行うことを特徴とするものである。

【0015】

【発明の実施の形態】以下に、本発明による薄膜トランジスタの実施形態を図1を参照して開示し、説明する。図1は、本発明によるバックチャネルエッチング型TFTの断面図を示す。ここでは、図1に示される各構成要素について、下記（1）ないし（9）に示すその作成手順に従って詳述する。

（1）まず、絶縁性基板10上にゲート電極並びに配線20を形成する。絶縁性基板10に用いる材料としてはガラスを用いるか、またはガラス基板表面にベースコート膜としてTa₂O₅、SiO₂などの絶縁膜を形成したものを用いる。絶縁性基板10上にAl、Mo、Taなどの導電材料をスパッタリング法にて積層し、次いで、この積層されたAl、Mo、Taなどをパターンニングしてゲート電極並びに配線20を得る。

【0016】（2）次に、ゲート電極20上にプラズマCVD法によりゲート絶縁膜40を積層する。ここでは、SiNx膜を3000Å積層し、ゲート絶縁膜40とした。なお、絶縁性を高めるためゲート電極20を陽極酸化し、第1のゲート絶縁膜（図示せず）とし、CVD絶縁膜を第2の絶縁膜とする方法をとっても良い。

【0017】（3）続いて、TFTのチャネル層となる半導体層（アモルファスSi）50をゲート絶縁膜40に連続してCVD法により1500Å積層する。

【0018】（4）次いで、半導体層（TFTのチャネ

ル層) 50上にTFTのソース並びにドレインの電極コンタクト層60となる不純物をドーピング(リン等を添加)しn+型としたアモルファスSiまたは微結晶SiをプラズマCVD法により500Å積層する。

【0019】(5) ソース並びにドレインの電極コンタクト層60と半導体チャネル層50の両Si層を島状にパターニングする。このパターニングの際に行うエッチング工程では、HCL+SF6混合ガスによるドライエッチング法を採用した。

【0020】(6) 次に、ソース並びにドレイン電極および配線70、71それぞれをスパッタリング法により形成するが、この場合、透明導電膜(ITO:Indium Tin Oxide)を1500Å、続いてTe膜を3000Åに積層する。

【0021】(7) 前工程で積層されたTe膜のパターニングをドライエッチングで行った後、透明導電膜(ITO)のパターニングをウェットエッチングにより行うが、この際、上層にあるTe膜についてはTFTのチャネル幅Lの方向に1μm大きめにパターニングを行い、ソース並びにドレイン電極および配線70、71を形成する。

【0022】(8) 続いて、前記(7)のソース並びにドレイン電極および配線70、71を形成する前工程でパターニングした透明導電膜(ITO)をマスクとして、チャネル層50上のn+型に不純物ドーピングされたアモルファスSi膜あるいは微結晶Si膜50をエッチング除去し、残った部分にソース並びにドレインのコンタクト領域を形成する。このとき、エッチングにはSF6+HCL混合ガスを使用したドライエッチングによりエッチングした。

【0023】(9) 最後に、SiNxよりなる保護膜(パッシベーション膜)80をCVD法により積層し、パターニングする。ここに、保護膜は樹脂またはSiNxと樹脂の二層構造であってもよい。

【0024】以上の工程により作成されたTFTは、保

護膜(パッシベーション膜)80の形状に従来技術に現れたハング状態が生じることがなくなり、図1に示されるように順テーパー状となり、本願の技術課題が解決される。

【0025】

【発明の効果】本発明の方法により、TFT部のパッシベーション膜が順テーパーになり、従来ハング状態となることにより生じていたTFT部への負荷が低減され、TFT特性の電気特性として、TFTのオン電流の低下を防止することが可能となる。こうした構造を成すTFTをAM-LCDといった表示装置に用いると、検査を動作させる各TFTの電気特性にばらつきが生じることがなく、従来起きていた表示雑音に見られる点欠陥が発生せず、表示画像の品質を高めることが可能となる。

【図面の簡単な説明】

【図1】本発明によるバックチャネルエッチング型TFTを示す断面図である。

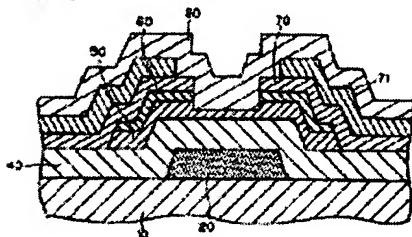
【図2】TFTを素子として含むAM-LCDのマトリクス要素部分を拡大して示す平面図である。

【図3】従来のバックチャネルエッチング型TFTを示す断面図である。

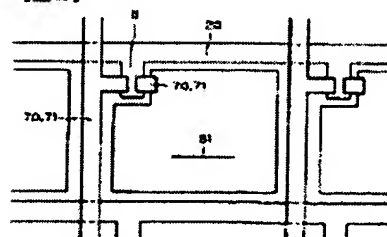
【符号の説明】

- 10…絶縁性基板、
- 20…ゲート電極、
- 40…ゲート絶縁膜、
- 50…半導体層(i-a-Si)、
- 60…コンタクト層(n+a-Si膜/微結晶Si膜)、
- 70…ソース/ドレイン電極1(ITO膜)、
- 71…ソース/ドレイン電極2(Te, Cr, Ti膜)、
- 80…保護膜(パッシベーション膜)、
- 11…TFT、
- 81…検査。

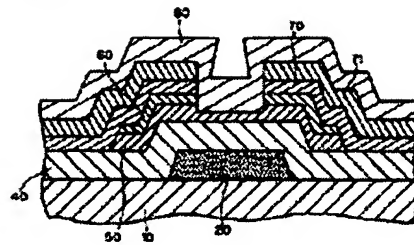
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 伴 厚志
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(72)発明者 迫野 郁夫
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

Fターム (参考) 2H092 6A17 6A34 HA06 JA24 KA05

KA06 KB03 KB13 KB24 MA08
MA18 MA19 MA01 MA13 MA24
MA26 PA01

5F110 AA05 CC07 DD12 DD13 EE03
EE04 EE44 FFD3 FF09 FF24
FF30 GG15 GG22 HK15 HK16
HK25 HK35 HL04 HL07 HL23
NN13 NN24 NN27 NN35 QQ04
QQ05 QQ09

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.